

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 58137206
PUBLICATION DATE : 15-08-83

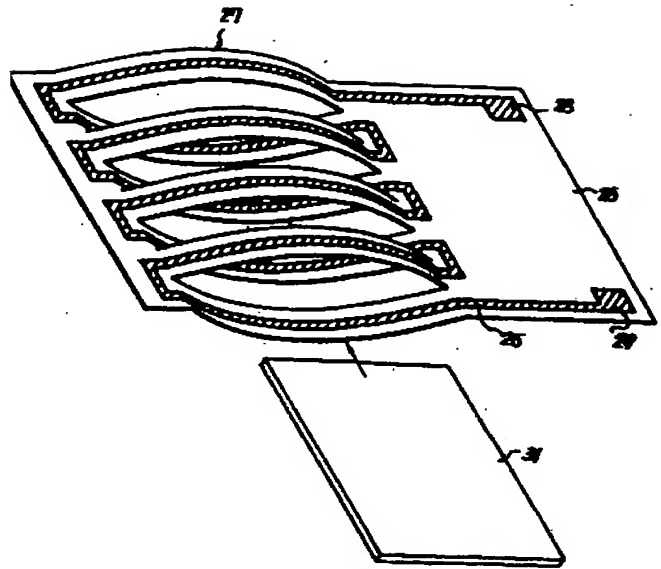
APPLICATION DATE : 09-02-82
APPLICATION NUMBER : 57019320

APPLICANT : SOSHIN DENKI KK;

INVENTOR : HIRAKAWA HIROSHI;

INT.CL. : H01F 15/00 H01F 17/00 H05K 1/16

TITLE : INDUCTANCE ELEMENT



ABSTRACT : PURPOSE: To eliminate the winding process and to greatly reduce a thickness by a construction wherein a zig-zag conductive pattern is separated by cut-outs into plural parts which are arranged on the upper and lower sides alternately with respect to a plane.

CONSTITUTION: A zig-zag pattern 27 is formed with a copper foil 26 on a flexible board 25. Terminals 28, 29 are led out from both ends of the pattern 27. Then, the board 25 is separated by plural cut-outs into upper and lower parts alternately. A flat core 31 formed of ferrite, etc. is inserted to a space defined by those alternate upper and lower parts. Thus, the core 31 assumes such a state that conductive wires are wound around it.

COPYRIGHT: (C)1983,JPO&Japio

This Page Blank (uspto)

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭58—137206

⑤ Int. Cl.³
H 01 F 15/00
17/00
H 05 K 1/16

識別記号

庁内整理番号
6843—5E
6843—5E
6370—5F

⑬ 公開 昭和58年(1983)8月15日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ インダクタンス素子

① 特 願 昭57—19320

② 出 願 昭57(1982)2月9日

⑦ 発 明 者 星野光雄
厚木市旭町4丁目14番1号ソニー株式会社厚木工場内

⑧ 発 明 者 寺沢暉彦
東京都品川区北品川6丁目5番6号ソニー・マグネ・プロダクツ株式会社内

⑦ 発 明 者 平川博

東京都大田区中馬込1丁目18番18号双信電機株式会社内

① 出 願 人 ソニー株式会社

東京都品川区北品川6丁目7番35号

① 出 願 人 双信電機株式会社

東京都大田区中馬込1丁目18番18号

⑨ 代 理 人 弁理士 伊藤貞 外1名

明 細 書

発明の名称 インダクタンス素子
特許請求の範囲

薄い絶縁板上に導電体が形成されるとともに上記絶縁板に複数のほぼ平行な切り込みが設けられ、この複数のほぼ平行な切り込みによつて上記導電体からなるジグザグのパターンが形成され、上記切り込みにより分離された上記ジグザグの導電体部分が一面に対して交互に上、下になるようにして構成されたインダクタンス素子。

発明の詳細な説明

この発明は配線基板上に配されるインダクタンス素子として新規なものを提供せんとするものである。

従来回路配線用のインダクタンス素子としては、一般には第1図に示すように例えば樹脂性でフラジを有するボビン(1)に導線(2)が巻回されたものが用いられる。

そして例えば第2図の等価回路に示すようなインダクタンス素子(3)及び(4)とコンデンサ(5)とから

なるフィルタを構成する場合には第3図のように構成される。

すなわち導電体絶縁基板(9)の表面及び裏面に銅箔(10)が被着形成されることによりコンデンサが形成される。そして、この基板(9)上に図に示すようにボビンに導線が巻回されたコイル(11)及び(12)が貼着され、そのコイルの(11)及び(12)のそれぞれの端子がコンデンサに対して接続されるとともに端子(6)(7)(8)がそれぞれ導出されるようになされている。端子(6)(7)(8)は第2図の等価回路の端子(6)(7)(8)に対応するものである。

このようなLCフィルタを多数接続して例えばはしご形回路を構成する場合、回路構成の美観としては第4図のようになる。すなわちそれぞれ銅箔(10)が表裏に被着されてコンデンサを形成する複数の基板(13)(14)(15)(16)が図に示すように平行に積み重ねられるように並べられるものである。この場合に、積み重ねられるように並べられるときの基板と基板の距離dは、各基板(13)(14)(15)(16)上にコイル(17)(18)(19)(20)、(21)(22)、(23)(24)がそれぞれ設けられている

ため限定されており、かなりのスペースを余分に必要としていたのである。

しかも実装上ボビンに導線を巻回して構成するコイルは、その巻回に非常に手間がかかるものとなるという欠点もあった。

この発明は以上のような従来の、線材をボビンに巻回することにより構成するコイルの欠点を簡単に除去できるようにした新規なインダクタンス素子を提供しようとするものである。

以下この発明によるインダクタンス素子の一例を、第5図以下を参照しながら説明しよう。

図の例においてはインダクタンス素子としてフレキシブル基板を用いて次のように構成する。すなわち先ず第5図に示すように、フレキシブル基板40の上に銅箔41によりジグザグ状のパターン42を形成する。そしてこのジグザグ状のパターン42の一端、他端より端子43を導出しておく。さらにこのジグザグ状のパターン42の各銅箔41部分は切断しないように図の破線で示すようにこのフレキシブル基板40に複数の切り込み44を入れる。

るが、このようにジグザグパターンとすることなく、第8図において斜線を付して示すように銅箔44を一面上に被着しておきこの銅箔44に切り込み45を入れ、これによつて一面の銅箔44をジグザグにするようにしてもよい。

以上のような例のインダクタンス素子はQは高いが、比較的インダクタンス値は小さい。インダクタンス値を上げるには次のようにすればよい。すなわち、第9図がその例で基板40の銅箔41によるジグザグの導電パターンに挿入されたフェライトコア46及び47をコア48とはそれぞれ空隙49及び49を形成するように設ける。この場合、コア46のジグザグの導電パターンへの挿入方向の端部において、コア4649とこのコア48が接合される。

このようなサンドイッチ構造とすれば、インダクタンス値が大きくなるだけでなく、磁束の外部との漏洩にもなる。

なお、第9図の例はコア48の両面に、フェライトコア4649を設けてサンドイッチ構造にした場合

特開昭58-137206 (2)

そして第6図に示すようにこの複数の切り込み44を横にしてフレキシブル基板40を交互に上と下に分ける。つまりジグザグ状の銅箔41が一本毎に交互に一面に対して上下になるようにされる。そしてこの交互に上下されて空いた空間に例えばフェライトからなる偏平コア46を挿入する。こうして、フェライトコア46に導電部が巻かれたのと同様の状態となり、簡単にインダクタンス素子が形成できる。しかもこの場合、フェライトコア46の厚みの分が若干あるもののインダクタンス素子として非常に偏平で薄型のものができる。したがつて第2図の等価回路に示すようなLCフィルタを作る場合には第7図に示すように前述のように表面及び裏面に銅箔が被着されてコンデンサが形成される誘電体基板40に、以上述べたインダクタンス素子4243を絶縁材を介して被着することにより、非常に薄型のものが実現できることになる。

以上の例はフレキシブル基板40上に銅箔41をジグザグなパターンに配電するようにした場合であ

であるが、コア48の一面側のみフェライトコアを設けるようにしてもインダクタンス値の上昇という目的は実現できる。

以上の例は偏平コア46をジグザグパターンに挿入した一面のインダクタンス素子の場合であるが、次のようにすれば他面のインダクタンス素子も実現が可能である。

すなわち、第10図はその一例を示すもので、第5図のフレキシブル基板40のそれぞれジグザグの部分42を、図に示すように、なみ形にするとともにそのなみ形が切れ目45を介した隣りの銅箔部分とは交互になるように成形する。そして、このなみ形の部分に図の例ではE形のコア46を切れ目45を介して隣り合うジグザグの導電体部分が互いに上下になるとともに各一本の銅箔部分においてE形コア46の各々の脚(38A)(38B)(38C)に交互に上下になるように挿入するものである。そしてこの場合、E形コア46の他面は同図に示すようにI形コア47と接合され、日の字形のインダクタンス素子が形成されるものである。

このE形コア88をジグザグ導電パターンに挿入したときは3極となる。つまり、第11図に示すように、E形コア88の3本の脚(38A)(38B)(38C)を通る磁路の方向は、銅箔部分を流れる電流の向きが図の実線で示すようなものであるときは、脚(38A)(38B)(38C)において互いに対向する向きとなるものである。

さらに、次のようにしてトランスも容易に構成することができる。

すなわち、第5図に示したようなフレキシブル基板4040を2枚用意し、第12図に示すように基板4040のそれぞれの端子部分が互いに別方向となるように重ねる。そして両者のジグザグの導電パターン部分を同じ位置となし、第12図、第13図に示すように両方のジグザグの導電パターンが、それぞれが破線で示す切り込み40を境にして交互に上下になるようにして、これらに偏平のフェライトコア40を1個挿入する。つまり、2枚のフレキシブル基板4040の切り込み40が互いに同じ位置となるように重ね合わせる。このようにするとジ

グザグパターンの部分において互いの2枚のフレキシブル基板4040上の銅箔4040は互いに重なり合うようになり、その重なり合った状態のものをそれぞれ2枚ずつ切り込み40を介して調り合うものが上下になるように構成するものである。

このようにすれば一方のフレキシブル基板40上の銅箔4040からなるインダクタンス素子と、他方のフレキシブル基板4040上に設けられた銅箔4040からなるインダクタンス素子は互いにコアを介して結合しトランスが実現されるわけである。

以上述べたようにこの発明によれば非常に薄型のインダクタンス素子が実現でき、しかも巻線工組が全く必要のないものが実現できるものである。したがって冒頭で述べたようなインダクタンス素子とコンデンサからなるフィルタをはじめ形回路として構成する場合に、第2図の等価回路に示すようなものを複数重ねて第4図に示すように配列するとき、互いの基板間の距離を非常に近くすることができ、実線密度をかなり上げることができる。そして、他の回路素子部分をその空いた

スペースに配することができるから構成を非常に小細にすることが可能になるものである。

また、巻線機が従来のように必要ではないので組み立て、製造が非常に容易になるという利点もある。

さらに、フレキシブル基板を用いることなく他の銅製材料を用いることもできる。すなわち、その場合には、予めコアに対して上下となるべき部分を型押しなどにより成形しておくようにすればよい。なお、さらに空芯のインダクタンス素子ももちろん構成することができる。つまりフェライトコアの代わりに非導電物質をフレキシブル基板により構成されるインダクタンス素子に挿入するようにすればよい。

図面の簡単な説明

第1図は従来のインダクタンス素子の一例の構成を示す図、第2図はこのインダクタンス素子を用いた回路の一例の等価回路図、第3図はこの等価回路を実現した構成を示す図、第4図は第2図の等価回路をさらに発展させ、はしご形回路とし

た場合の実線の構成を示す図、第5図及び第6図はこの発明によるインダクタンス素子の構成の一例を説明するための図、第7図はこの発明による素子によつて第2図の等価回路を実現した構成の一例を示す図、第8図はこの発明の他の例の構成を説明するための図、第9図はこの発明の改良例を示す図、第10図はこの発明のさらに他の例を説明するための図、第11図は第10図の説明に供する図、第12図及び第13図はこの発明をトランスに応用した場合の一例の構成を説明するための図である。

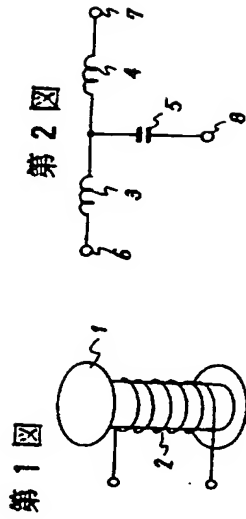
(40)は薄いフレキシブル基板、(40)は銅箔、(40)はジグザグの導電パターン、(40)は基板(40)に設けられる切り込み、(40)はコアである。

代理人

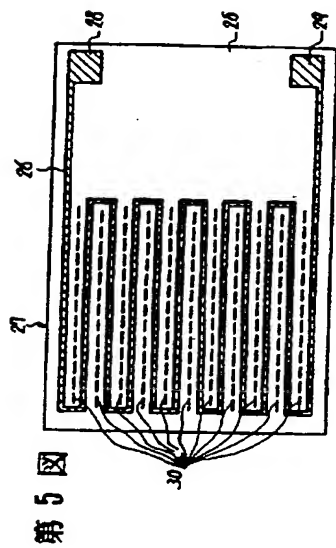
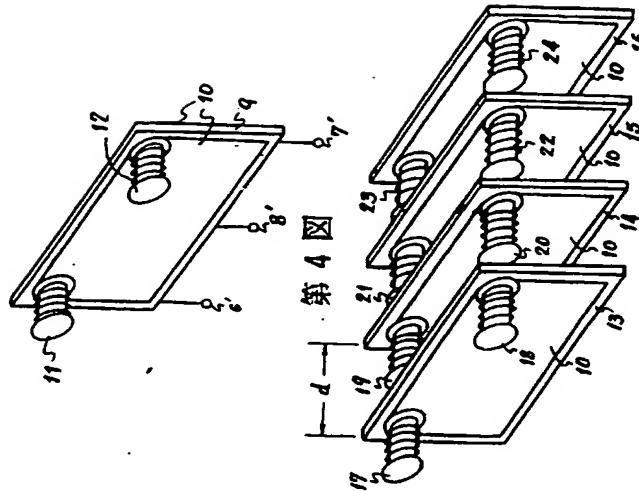
伊藤

同

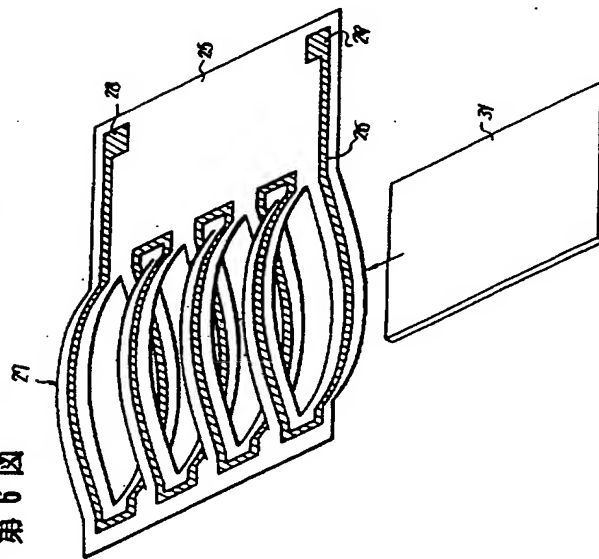
松原秀盛



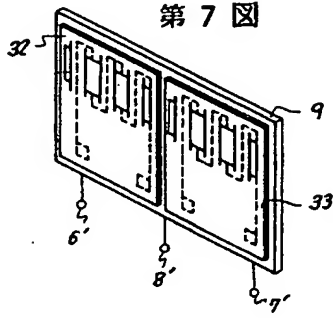
第3図



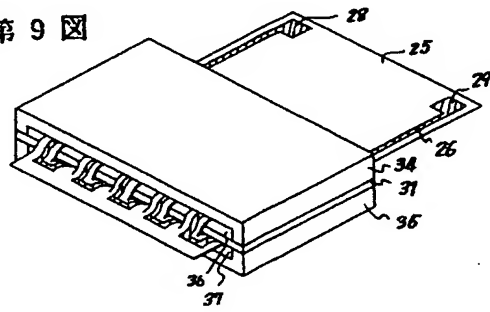
第6図



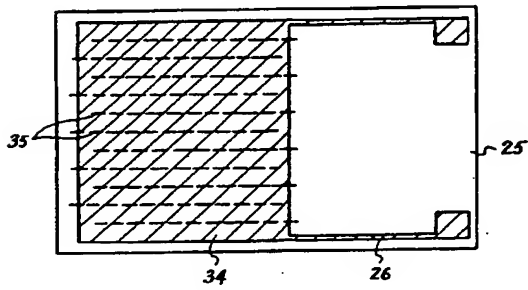
第 7 図



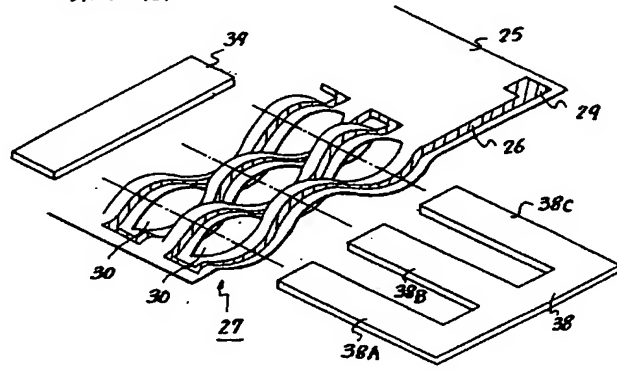
第 9 図



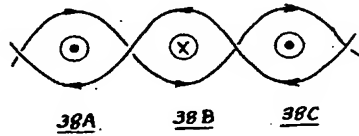
第 8 図



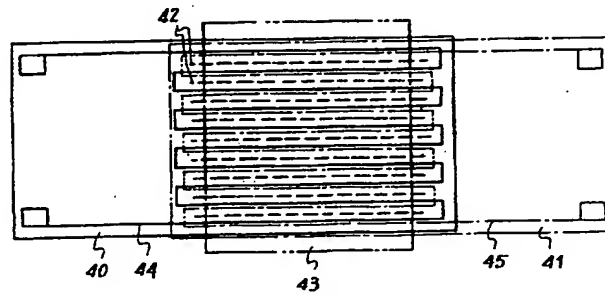
第 10 図



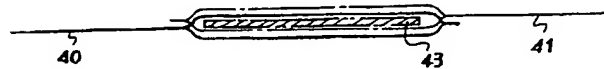
第 11 図



第 12 図



第 13 図



This Page Blank (uspto)